

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-306996

(43)Date of publication of application : 02.11.2000

(51)Int.CI. H01L 21/768

(21)Application number : 11-112999 (71)Applicant : NEC CORP

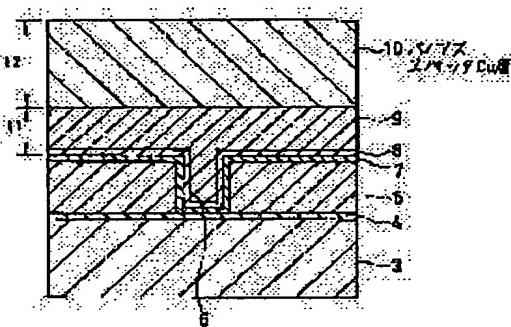
(22)Date of filing : 21.04.1999 (72)Inventor : TAKEWAKI TOSHIYUKI

(54) FABRICATION OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To realize a method for fabricating a semiconductor device having large grains in which Cu can be buried in an interconnection trench.

SOLUTION: A Cu film 8 of 100 nm thick is formed on TaN 7 by sputtering and a Cu film 9 of 500 nm thick is formed thereon. An RF bias is then applied to the substrate and the grown surface is irradiated with argon ions to obtain a Cu layer 10 of 700 nm thick, which is thicker than the total thickness of the Cu films 8, 9, by sputtering. Subsequently, it is heat treated to produce a giant grain Cu film 11 which is then shaped to obtain a trench interconnection.



LEGAL STATUS

[Date of request for examination] 24.03.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3351383

[Date of registration] 20.09.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開2000-306996

(P 2000-306996 A)

(43)公開日 平成12年11月2日(2000.11.2)

(51)Int.Cl.⁷
H01L 21/768

識別記号

F I
H01L 21/90マークコード (参考)
C 5F033

審査請求 有 請求項の数13 O L (全9頁)

(21)出願番号 特願平11-112999

(22)出願日 平成11年4月21日(1999.4.21)

(71)出願人 000004237
日本電気株式会社
東京都港区芝五丁目7番1号

(72)発明者 竹脇 利至
東京都港区芝五丁目7番1号 日本電気株
式会社内

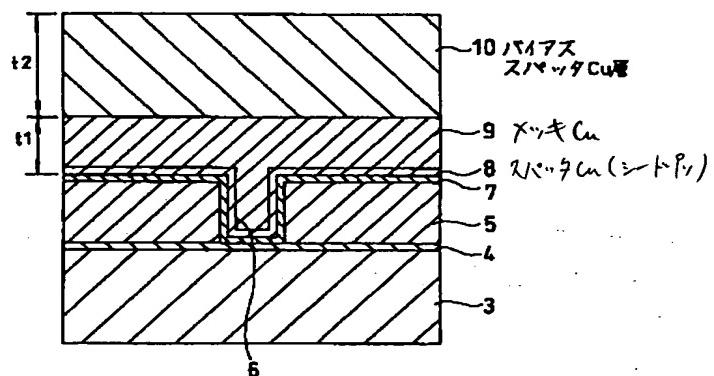
(74)代理人 100088812
弁理士 ▲柳▼川 信
F ターム(参考) 5F033 HH11 HH21 HH32 HH33 LL08
MM01 MM12 MM13 PP17 PP27
QQ23 QQ37 QQ48 QQ73

(54)【発明の名称】半導体装置の製造方法

(57)【要約】

【課題】 配線溝にCuを埋め込むことができ、かつグレインが大きな半導体装置の製造方法の提供。

【解決手段】 TaN₇上に100nm厚のCu膜8をスパッタ成膜し、さらに電解メッキにより500nm厚のCu膜9を成膜する。次に基板にR Fバイアスを印加してアルゴンイオンを成長表面に照射してスパッタ成膜し、Cu膜8, 9の合計膜厚よりも厚い膜厚700nmのCu層10を得る。これを熱処理することにより巨大グレインCu膜11が得られ、これを整形して溝配線12を得る。



【特許請求の範囲】

【請求項1】 半導体基板上に配線が形成された半導体装置の製造方法であって、

前記半導体基板に絶縁膜を介して第1導電膜を成膜する第1ステップと、この第1ステップの後に前記第1導電膜上に前記第1導電膜の膜厚より厚い膜厚の第2導電膜を成膜する第2ステップと、この第2ステップの後に少なくとも前記第1及び第2導電膜を熱処理する第3ステップと、この第3ステップの後に前記熱処理後の導電膜を整形して配線を形成する第4ステップとを含むことを特徴とする半導体装置の製造方法。

【請求項2】 前記絶縁膜には配線埋め込み用の溝が形成されることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記第1ステップは第1導電膜をスパッタ成膜する第11ステップと、この第11ステップの後に前記第1導電膜上に電解メッキにより第12導電膜を成膜する第12ステップとを含み、この第11及び12導電膜で前記第1導電膜が形成されることを特徴とする請求項1又は2記載の半導体装置の製造方法。

【請求項4】 前記第1ステップはプラズマCVDを用いて前記第1導電膜を成膜することを特徴とする請求項1又は2記載の半導体装置の製造方法。

【請求項5】 前記第2ステップは前記第1導電膜表面の酸化物をスパッタ及び還元する第21ステップと、この第21ステップの後にスパッタチャンバにて前記半導体基板にバイアスを印加して、アルゴンイオンを成長表面に照射しながらスパッタ成膜する第22ステップとを含むことを特徴とする請求項1乃至4いずれかに記載の半導体装置の製造方法。

【請求項6】 前記第3ステップはアルゴン雰囲気中で一定温度にて一定時間熱処理することを特徴とする請求項1乃至5いずれかに記載の半導体装置の製造方法。

【請求項7】 前記第4ステップは機械的化学研磨により配線部以外の導電膜を除去して溝配線を形成することを特徴とする請求項1乃至6いずれかに記載の半導体装置の製造方法。

【請求項8】 前記絶縁膜にはピアホールが形成されることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項9】 前記第1ステップは第1導電膜をスパッタ成膜する第11ステップと、この第11ステップの後に前記第1導電膜上に電解メッキにより第12導電膜を成膜する第12ステップとを含み、この第11及び12導電膜で前記第1導電膜が形成されることを特徴とする請求項1又は8記載の半導体装置の製造方法。

【請求項10】 前記第2ステップは前記第1導電膜表面の酸化物をスパッタ及び還元する第21ステップと、この第21ステップの後にスパッタチャンバにて前記半導体基板にバイアスを印加して、アルゴンイオンを成長

表面に照射しながらスパッタ成膜する第22ステップとを含むことを特徴とする請求項1, 8, 9いずれかに記載の半導体装置の製造方法。

【請求項11】 前記第3ステップはアルゴン雰囲気中で一定温度にて一定時間熱処理することを特徴とする請求項1, 8乃至10いずれかに記載の半導体装置の製造方法。

【請求項12】 前記第4ステップは導電膜をドライエッチングにより配線加工することを特徴とする請求項1, 8乃至11いずれかに記載の半導体装置の製造方法。

【請求項13】 前記導電膜は銅で形成されることを特徴とする請求項1乃至12いずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置の製造方法に関し、特に半導体基板上に銅(Cu)による配線及び溝配線が形成された半導体装置の製造方法に関する。

【0002】

【従来の技術】 LSI (large scale integration; 大規模集積回路) の微細化、高速化のためにLSI配線材料として、Cuが注目されている。しかし、CuをLSI配線に用いる場合、ドライエッチングによる配線形成が困難であるため、あらかじめ配線溝を形成し、そこにCuを埋め込み、それを研磨し、配線溝部のCuを残すいわゆるダマシ配線が現在主流になっている。しかしながら、LSIの微細化に伴い、配線溝はどんどん狭くなり、スパッタでは配線溝にCuを埋め込むことが困難となってきた。

【0003】 そこで、現在は電解メッキ法が用いられている。この電解メッキ法の一例が特開昭63-164241号公報に記載されている。これは、コンタクトホールにCuを埋め込むのに電解メッキを使用したものである。なお、この種の装置の他の例が特開平3-68190号公報及び特開平3-263896号公報に記載されている。

【0004】

【発明が解決しようとする課題】 しかしながら、電解メッキ法で成膜したCu膜はグレインが小さく、又それを用いて形成したCu溝配線はエレクトロマイグレーション耐性が弱いという問題がある。ここに、エレクトロマイグレーションとは通電中に原子が移動して部分的に配線が厚く又は薄くなる現象をいう。エレクトロマイグレーション耐性を向上させるためにはグレインサイズを大きくし、配線中に粒界を残さないようにすることが必要である。

【0005】 一方、RF-DC結合バイアススパッタ法を用いて、基板にある値以上のDCバイアスを印加し、スパッタ成長表面をアルゴンイオンで叩きながら成膜す

る。その時、最稠密面である(111)方向の膜が成膜され、Cu原子間距離が縮み、膜内部にストレスエネルギーが蓄積される。その後、熱処理を行うとそのストレスエネルギーが放出され、Cu膜の結晶配向性がCu(111)から熱的に安定なCu(200)に変化し、同時に数100μm以上の巨大なグレイン成長が膜中で起こるという報告が、J. Electrochim. Soc., Vol. 139, March 1992 pp. 922-927 "Electrical Properties of Giant-Grain Copper Thin Films Formed by a Low Kinetic Energy Particle Process." (以下、文献1という)になされている。

【0006】又、通常スパッタによりCuを成膜した後に、基板にある値以上のDCバイアスを印加しながらCuを2段階成膜する。その後、熱処理を行うことにより、DCバイアスを印加しながら成膜された層から、通常スパッタで成膜された層にストレスエネルギーが転移し、膜全体で先の文献1と同様の結晶配向性変化及びグレイン成長が起こるという報告が、Journal of Materials Chemistry and Physics 99 (1995) pp. 1-10 "Formation of giant-grain copper interconnects by a low-energy ion bombardment process for high-speed ULSIs." (以下、文献2という)になされている。

【0007】このように、イオン照射をしながらスパッタ成膜すると、数100μmの巨大なグレインを有するCu膜の形成が可能である。しかし、どのスパッタ法を用いても、配線溝埋め込みに関しては、メッキ法と比較すると不利である。即ち、どのスパッタ法を用いても、配線溝にCuを埋め込むことは困難である。

【0008】そこで本発明の目的は、配線溝にCuを埋め込むことができ、かつグレインが大きな半導体装置の製造方法を提供することにある。

【0009】

【課題を解決するための手段】前記課題を解決するために本発明は、半導体基板上に配線が形成された半導体装置の製造方法であって、その方法は前記半導体基板に絶縁膜を介して第1導電膜を成膜する第1ステップと、この第1ステップの次に前記第1導電膜上に前記第1導電膜の膜厚より厚い膜厚の第2導電膜を成膜する第2ステップと、この第2ステップの次に少なくとも前記第1及び第2導電膜を熱処理する第3ステップと、この第3ステップの次に前記熱処理後の導電膜を整形して配線を形成する第4ステップとを含むことを特徴とする。

【0010】本発明によれば、熱処理により第2導電膜

で結晶配向性変化及び巨大グレイン成長が起こり、同時に第1導電膜でも巨大グレイン成長が起こる。これにより、配線中に粒界がない単結晶導電膜配線が形成されるため、配線の低抵抗化及びエレクトロマイグレーション耐性の向上を図ることができる。

【0011】

【発明の実施の形態】以下、本発明の実施の形態について添付図面を参照しながら説明する。図1乃至図5は第1の実施の形態の製造工程を示す断面図、図10乃至図14は第2の実施の形態の製造工程を示す断面図である。

【0012】まず、第1の実施の形態について説明する。第1の実施の形態は配線溝にCuを埋め込む場合を示している。図1を参照すると、同図はシリコン基板1上に半導体素子形成面2が形成され、半導体素子形成面2上に絶縁膜3が形成され、絶縁膜3上にストップ膜4が形成され、ストップ膜4上に層間絶縁膜5が形成され、層間絶縁膜5に配線溝6が形成されるところまでを示している。

【0013】次に、図2を参照して、層間絶縁膜5の上面と配線溝6の底面及び側面にTa, TaN (Ta; タンタル、N; 窒素) に代表されるバリア層7が形成され、バリア層7上にCuシード層8が形成され、Cuシード層8上に(111)配向を有する電解メッキCu膜9が形成される。このCuシード層8と電解メッキCu膜9との合計膜厚をt1とする。なお、図2乃至図5では便宜上シリコン基板1と半導体素子形成面2の記載を省略する。

【0014】次に、図3を参照して、シリコン基板1にRF(高周波)バイアス又はDC(直流)バイアスを印加し、スパッタ成長表面をアルゴンイオンで照射しながら膜厚t2のCu(バイアススパッタCu層)10を成膜する。この膜厚t2がt1よりも大きくなるように(t2 > t1となるように)するのである。

【0015】次に、図4を参照して、結晶制御のために、アルゴン(Ar)又は窒素雰囲気中で熱処理を行う。このとき、結晶配向性がCu(200)に変わり、同時に数100μmの巨大なグレインを有するCu膜11が形成される。次に、図5を参照して、機械的化学研磨(CMP)により配線部以外のCuを除去することによりCu溝配線12が形成される。

【0016】この第1の実施の形態において新規な部分は、電解メッキでCu9を成膜(図2参照)した後、結晶制御の熱処理を行う(図4参照)前に、シリコン基板1にRF又はDCバイアスを印加し、スパッタ成長表面をアルゴンイオンで照射しながらメッキ膜厚以上の膜厚を有するCu10を成膜することである(図3参照)。

【0017】次に、第2の実施の形態について説明する。第2の実施の形態はピアホールにCuを埋め込む場合を示している。スルーホールが多層基板全体を貫通す

る穴であるのに対し、ピアホールは多層基板中の特定の層間に形成された穴である。なお、図10乃至図14において図1乃至図5と同様の構成部分については同一番号を付し、その説明を省略する。又、図11乃至図14において便宜上シリコン基板1と半導体素子形成面2の記載を省略する。

【0018】図10を参照すると、同図はシリコン基板1上に半導体素子形成面2が形成され、半導体素子形成面2上に絶縁膜3が形成され、絶縁膜3上に層間絶縁膜5が形成され、層間絶縁膜5にピアホール21が形成され、かつピアホール21の底面には第1金属配線22が形成されるところまでを示している。次に、図11を参照して、層間絶縁膜5の上面と配線溝6の底面及び側面にTa, TaNに代表されるバリア層7が形成され、バリア層7上にCuシード層8が形成され、Cuシード層8上に(111)配向を有する電解メッキCu膜9が形成される。このCuシード層8と電解メッキCu膜9との合計膜厚をt5とする。

【0019】次に、図12を参照して、シリコン基板1にRF(高周波)バイアス又はDC(直流)バイアスを印加し、スパッタ成長表面をアルゴンイオンで照射しながら膜厚t6のCu(バイアススパッタCu層)10を成膜する。この膜厚t6がt5よりも大きくなるように(t6>t5となるように)する。次に、図13を参照して、結晶制御のために、アルゴン(Ar)又は窒素雰囲気中で熱処理を行う。このとき、結晶配向性がCu

(200)に変わり、同時に数100μmの巨大なグレインを有するCu膜11が形成される。次に、図14を参照して、Cu膜11をドライエッティングで加工してCu配線23が形成される。

【0020】この第2の実施の形態において新規な部分は、第1の実施の形態と同様に電解メッキでCu9を成膜(図11参照)した後、結晶制御の熱処理を行う(図13参照)前に、シリコン基板1にRF又はDCバイアスを印加し、スパッタ成長表面をアルゴンイオンで照射しながらメッキ膜厚以上の膜厚を有するCu10を成膜することである(図12参照)。

【0021】

【実施例】次に、実施例について説明する。まず、第1実施例から説明する。第1実施例は第1の実施の形態に対する第1の実施例である。説明には第1の実施の形態の説明に用いた図1乃至図5を参照する。さらに、図15及び図16を参照する。図15及び図16は第1実施例の製造工程を示すフローチャートである。

【0022】まず、図1に示すように、シリコン基板1上に半導体素子形成面2が形成され(S1)、半導体素子形成面2上に絶縁膜3が形成され、絶縁膜3上にストップ膜4が形成され、ストップ膜4上に層間絶縁膜5が形成され(S2)、層間絶縁膜5に配線溝6が形成される(S3)。

【0023】次に、図2に示すように、バリアメタルとしてTaN(一例として膜厚15nm)7がスパッタリング法により層間絶縁膜5の上面と配線溝6の底面及び側面に成膜された(S4)後、メッキ前のシード層として、一例として100nm厚のCu膜8が連続でスパッタ成膜される(S5)。次に、電解メッキにより、一例として500nm厚のCu膜9が成膜される(S6)。このとき、シード層8とメッキ層9のCu膜の結晶配向性はCu(111)であった。次に、図3に示すように、クリーニングチャンバにて室温のAr/H2プラズマにより、メッキCu9表面の酸化銅がスパッタ及び還元される(S7)。

【0024】次に、大気中に曝さずに、Cuスパッタチャンバにて、シリコン基板1にRF又はDCバイアスが印加され、アルゴンイオンを成長表面に照射しながらスパッタ成膜する(S8)。その結果、メッキCu9上にバイアススパッタCu層10が形成される。このときのアルゴンのイオンエネルギー(プラズマポテンシャル、即ち自己バイアス)は80eVであった。又、成膜膜厚

(t2)は電解メッキCu9とCuシード層8の合計膜厚(t1)よりも厚い700nm成膜した。即ち、t2>t1となるようにした。又、シリコン基板1は成膜中のプラズマ照射による温度上昇を防ぐために、-5°Cに設定した。

【0025】次に、図4に示すように、アルゴン雰囲気中で温度400°Cで30分間熱処理を行った。このとき、結晶配向性がCu(111)からCu(200)に変化し、同時に数100μmの巨大なグレインを有するCu膜11の形成に成功した(S9)。次に、図5に示すように、機械的化学研磨(CMP)により配線部以外のCuを除去し、Cuの溝配線12を形成した(S10)。このようにして作製された溝配線のエレクトロマイグレーション耐圧は通常のメッキCuを熱処理した場合に比べて、1桁寿命が長かった。

【0026】次に、第2実施例について説明する。第2実施例は第1の実施の形態に対する第2の実施例である。説明には図6乃至図9及び図15、図16、図17を参照する。図6乃至図9は第2実施例の製造工程を示す断面図、図15乃至図17は第2実施例の製造工程を示すフローチャートである。なお、図6乃至図9において図1乃至図5と同様の構成部分については同一番号を付し、その説明を省略する。又、図6乃至図9において便宜上シリコン基板1と半導体素子形成面2の記載を省略する。

【0027】第1実施例では電解メッキCu9を用いて配線溝を埋め込んだ場合について説明したが、この実施例で説明するように、電解メッキCu9の代わりにプラズマCVDを用いてCuを成膜してもよい。この場合、スパッタリングによるシード層8の形成は必要なくなる。

【0028】シリコン基板1上に半導体素子形成面2が形成される(S1)ところからTaNが成膜される(S4)ところまでは第1実施例と同様なので説明を省略する。図6を参照して、バリアメタルとしてTaN7が成膜された(S4)後、プラズマCVDを用いて、一例として500nmのCu膜31がTaN7上に成膜され配線溝6に埋め込まれる(S11)。このときのCu膜31の結晶配向性はCu(111)であった。

【0029】そして、第1実施例と同様に図7に示すようにクリーニングチャンバにて室温のAr/H₂プラズマにより、Cu膜(プラズマCVDCu)31表面の酸化銅がスパッタ及び還元される(S12)。その後、大気中に曝さずに、Cuスパッタチャンバにて、シリコン基板1にRF又はDCバイアスが印加され、アルゴンイオンを成長表面に照射しながらスパッタ成膜する(S8)。その結果、プラズマCVDCu31上にバイアススパッタCu層10が形成される。このときのアルゴンのイオンエネルギー(プラズマボテンシャル、即ち自己バイアス)は80eVであった。又、成膜膜厚(t4)はプラズマCVDCu31の膜圧(t3)よりも厚い700nm成膜した。即ち、t4>t3となるようにした。又、シリコン基板1は成膜中のプラズマ照射による温度上昇を防ぐために、-5°Cに設定した。

【0030】次に、図8に示すように、アルゴン雰囲気中で温度400°Cで30分間熱処理を行った。このとき、結晶配向性がCu(111)からCu(200)に変化し、同時に数100μmの巨大なグレインを有するCu膜32の形成に成功した(S9)。次に、図9に示すように、機械的化学研磨(CMP)により配線部以外のCuを除去し、Cuの溝配線33を形成した(S10)。このようにして作製された溝配線のエレクトロマイグレーション耐圧は通常のメッキCuを熱処理した場合に比べて、1桁寿命が長かった。

【0031】次に、第3実施例について説明する。第3実施例は第2の実施の形態に対する実施例である。説明には図10乃至図14及び図15、図16、図18、図19を参照する。図10乃至図14は第3実施例の製造工程を示す断面図、図15、図16、図18、図19は第3実施例の製造工程を示すフローチャートである。

【0032】第1及び第2実施例では溝配線Cu12、33を用いた場合を示したが、通常のドライエッチングにより形成した配線を用いた場合にも本発明の適用が可能である。図10に示すように、まず、シリコン基板1表面に半導体素子形成面2が形成され(S1)、半導体素子形成面2上に絶縁膜3が形成され、絶縁膜3上に層間絶縁膜5が形成され(S2)、層間絶縁膜5にピアホール21が形成される(S21)。次に、ピアホール21の底面に第1金属配線22が形成される(S22)。そして、第1及び第2実施例と同様にバリアメタル膜(TaN)7、Cuシード膜8及びCuメッキ膜9が順

次成膜される。

【0033】まず、図11に示すようにバリアメタルとしてTaN(一例として膜厚15nm)がスパッタリング法により層間絶縁膜5の上面と配線溝6の底面及び側面に成膜された(S4)後、メッキ前のシード層として、一例として100nm厚のCu膜8が連続でスパッタ成膜される(S5)。次に、電解メッキにより、一例として500nm厚のCu膜9が成膜される(S6)。このとき、シード層8とメッキ層9のCu膜の結晶配向性はCu(111)であった。

【0034】そして、第1及び第2実施例と同様に、RF又はDCバイアスをシリコン基板1に印加しながらCu膜10を成膜する。図12に示すように、クリーニングチャンバにて室温のAr/H₂プラズマにより、メッキCu9表面の酸化銅がスパッタ及び還元される(S7)。次に、大気中に曝さずに、Cuスパッタチャンバにて、シリコン基板1にRFバイアスが印加され、アルゴンイオンを成長表面に照射しながらスパッタ成膜する(S8)。その結果、メッキCu9上にバイアススパッタCu層10が形成される。このときのアルゴンのイオンエネルギー(プラズマボテンシャル、即ち自己バイアス)は80eVであった。又、成膜膜厚(t6)は電解メッキCu9とCuシード層8の合計膜圧(t5)よりも厚い300nm成膜した。即ち、t6>t5となるようにした。又、シリコン基板1は成膜中のプラズマ照射による温度上昇を防ぐために、-5°Cに設定した。

【0035】次に、図13に示すように、アルゴン雰囲気中で温度400°Cで30分間熱処理を行った。このとき、結晶配向性がCu(111)からCu(200)に変化し、同時に数100μmの巨大なグレインを有するCu膜11の形成に成功した(S9)。次に、フォトリソグラフィ工程の反射防止膜として50nm厚のTiN膜41がCu膜11上に成膜され(S23)、続いてTiN膜41上にプラズマ窒化膜42が成膜される(S24)。

【0036】その後、フォトリソグラフィ工程を経て、プラズマ窒化膜42がC₄F₈、Ar、O₂を含む混合ガスによりエッティングされた(S25)後、O₂プラズマ及びレジスト剥離液を用いてフォトレジストがアッシング除去される。次に、SiCl₄、Ar、N₂、NH₃混合ガスを用いてCu膜11がドライエッティングされ、巨大グレインCu配線23が形成される(S26)。このようにして、単結晶Cu配線の形成に成功した。こうして得られたCu配線は通常のメッキCu線に比べて1桁エレクトロマイグレーション耐性が高かった。

【0037】即ち、本発明によれば熱処理によりバイアススパッタ層で結晶配向性変化及び巨大グレイン成長が起り、同時に電解メッキ層でも巨大グレイン成長が起こるという文献2で述べられている現象と同様なことが

起こる。こうして、配線及び溝配線中に粒界がない単結晶Cu配線を形成することができるため、配線の低抵抗化及びエレクトロマイグレーション耐性の向上を図ることができる。

【0038】なお、本実施例では、バリアメタル層の金属材料としてTaNを用いたが、Taでもよく、Ti, Mo, Nb, W、及びそれらの材料の窒化物でもよい。又、溝配線部の層間膜材料として、プラズマCVD酸化物を用いたが、HSQ (Hydrogen Silsesquioxane) 膜、有機SOG、アモルファスカーボン材料、及びそれらの材料のフッ素添加物でもよい。

【0039】

【発明の効果】本発明によれば、半導体基板上に配線が形成された半導体装置の製造方法であって、その方法は前記半導体基板に絶縁膜を介して第1導電膜を成膜する第1ステップと、この第1ステップの次に前記第1導電膜上に前記第1導電膜の膜厚より厚い膜厚の第2導電膜を成膜する第2ステップと、この第2ステップの次に少なくとも前記第1及び第2導電膜を熱処理する第3ステップと、この第3ステップの次に前記熱処理後の導電膜を整形して配線を形成する第4ステップとを含むため、配線溝にCuを埋め込むことができ、かつグレインを大きくすることができる。

【0040】具体的には、熱処理により第2導電膜で結晶配向性変化及び巨大グレイン成長が起こり、同時に第1導電膜でも巨大グレイン成長が起こる。これにより、配線中に粒界がない単結晶導電膜配線が形成されるため、配線の低抵抗化及びエレクトロマイグレーション耐性の向上を図ることができる。

【図面の簡単な説明】

【図1】第1の実施の形態の製造工程を示す断面図である。

【図2】第1の実施の形態の製造工程を示す断面図である。

【図3】第1の実施の形態の製造工程を示す断面図である。

【図4】第1の実施の形態の製造工程を示す断面図である。

【図5】第1の実施の形態の製造工程を示す断面図である

40

る。

【図6】第2実施例の製造工程を示す断面図である。

【図7】第2実施例の製造工程を示す断面図である。

【図8】第2実施例の製造工程を示す断面図である。

【図9】第2実施例の製造工程を示す断面図である。

【図10】第2の実施の形態の製造工程を示す断面図である。

【図11】第2の実施の形態の製造工程を示す断面図である。

【図12】第2の実施の形態の製造工程を示す断面図である。

【図13】第2の実施の形態の製造工程を示す断面図である。

【図14】第2の実施の形態の製造工程を示す断面図である。

【図15】第1実施例の製造工程を示すフローチャートである。

【図16】第1実施例の製造工程を示すフローチャートである。

【図17】第2実施例の製造工程を示すフローチャートである。

【図18】第3実施例の製造工程を示すフローチャートである。

【図19】第3実施例の製造工程を示すフローチャートである。

【符号の説明】

1 シリコン基板

2 半導体素子形成面

3 絶縁膜

4 ストップ膜

5 層間絶縁膜

6 配線溝

7 TaN

8, 9, 10, 31 Cu膜

11, 32 巨大グレインCu膜

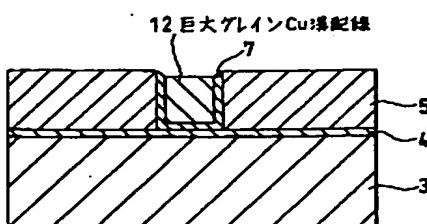
12, 33 溝配線

21 ピアホール

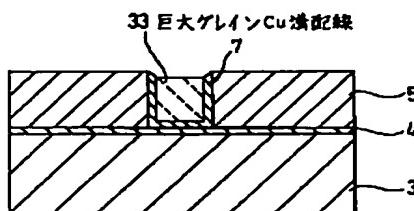
22 第1金属配線

23 Cu配線

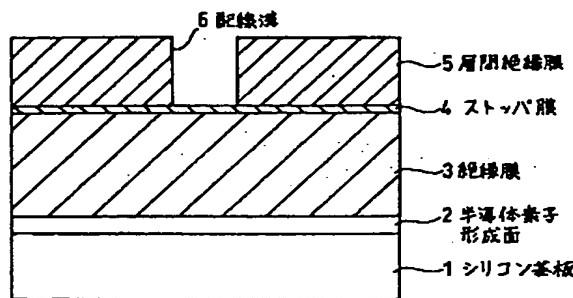
【図5】



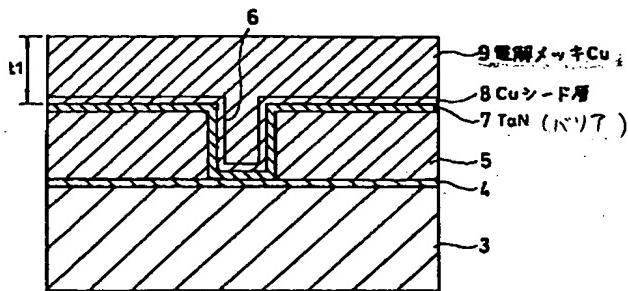
【図9】



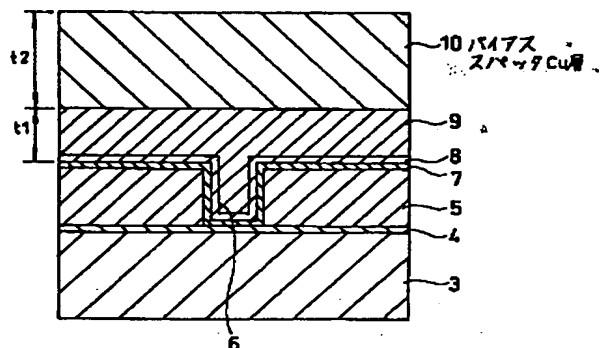
【図1】



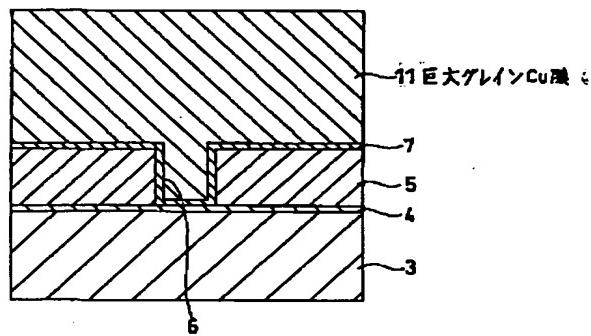
【図2】



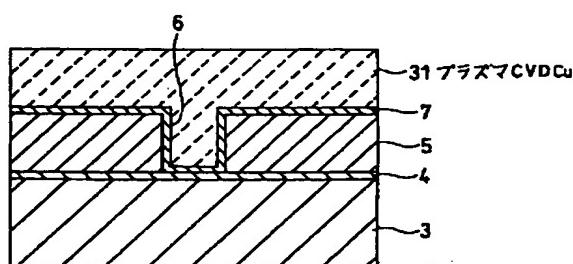
【図3】



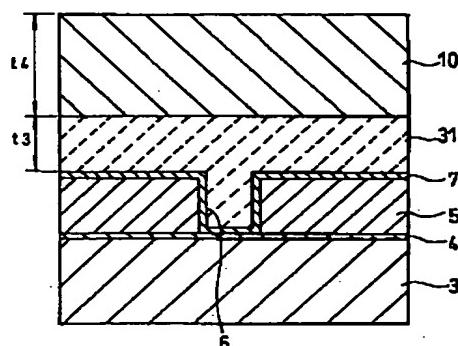
【図4】



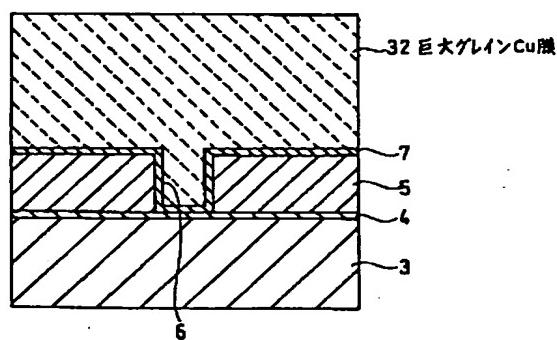
【図6】



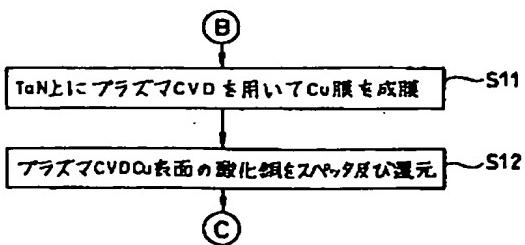
【図7】



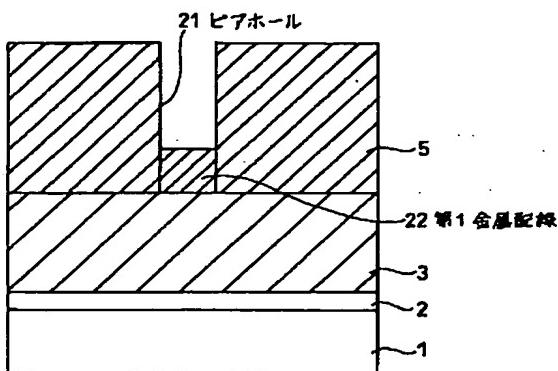
【図8】



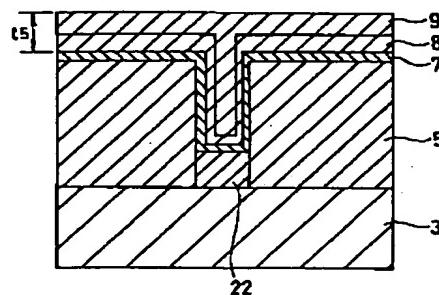
【図17】



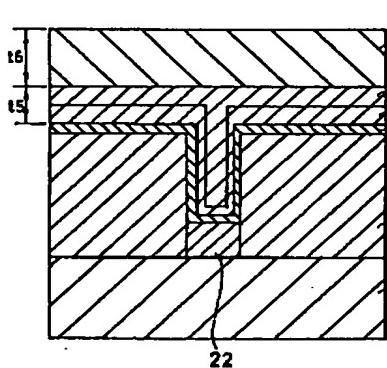
【図10】



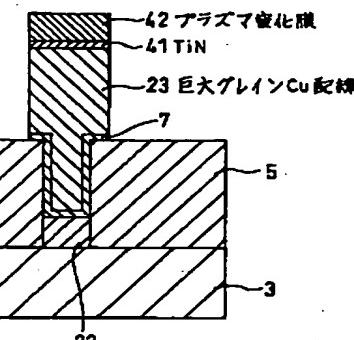
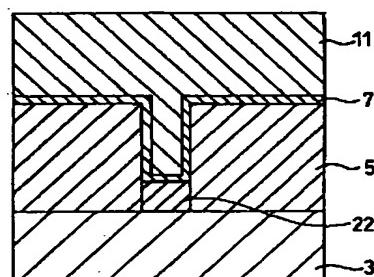
【図11】



【図14】

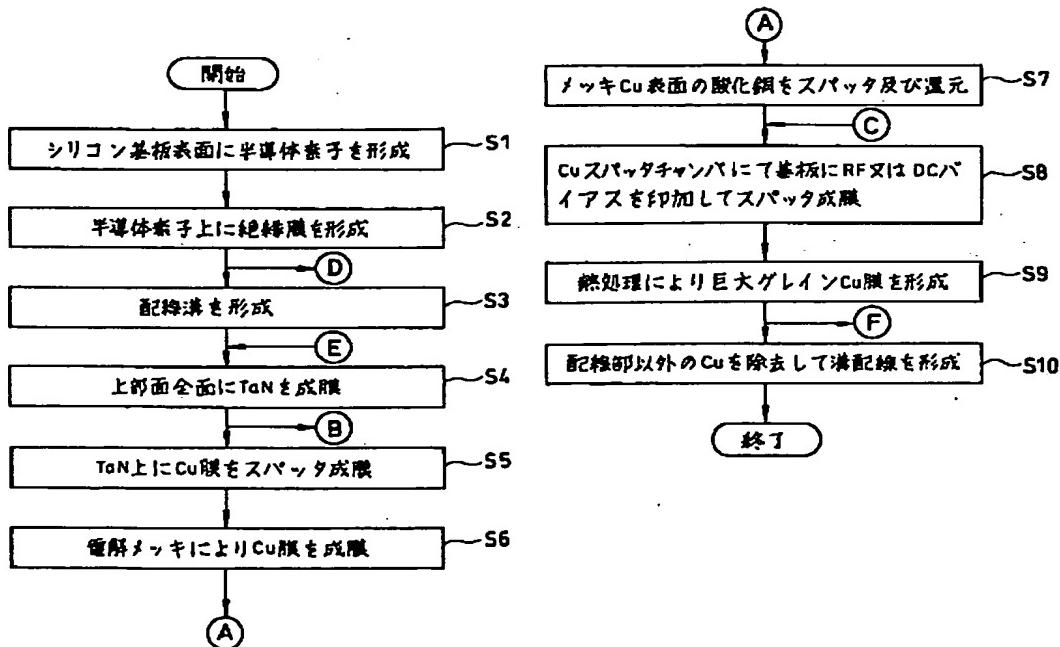


【図13】

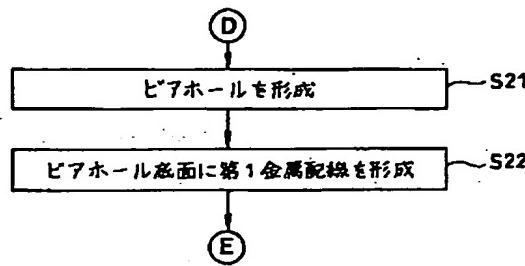


【図16】

【図15】



【図18】



【図19】

